

浅析SOC测试系统功能和资源支持

王锐 马超

(黑龙江省电子信息产品监督检验院 黑龙江哈尔滨 150090)

摘要:通过对SOC设计、测试工具的分析,以及测试系统架构的分析形成一个全方位的整合,以便于更加直观的了解SOC测试系统功能和资源支持。

关键字: SOC设计 并发测试 系统架构

中图分类号: TP311.52

文献标识码: A

文章编号: 1672-3791(2013)01(a)-0021-01

1 SOC设计和测试工具

为使并发测试概念变成现实,芯片、ATE、DFT和EDA必须共同遵从一些指导性的规则。要求SOC设计师在设计初期规划出多重功能模块的数量和按照并发测试要求进行模块隔离和分割,这对后期的测试程序开发、硅芯片调试、产品测试管理、成品率提高、产品上市时间和降低成本是密切相关的。

可测性设计中需增加专门用于管理测试的工具,其主要任务是按照自动和标准化的方法将设计芯片的测试问题分割成一系列可以管理的部分。将芯片分割成一系列可测试的模块,设计出每一个模块的测试方法,并将其集成于一个完整的计划中,改计划既包括内部测试方法学,也包括外部测试方法学;计划也应提供选取芯片中埋层功能的方法以及测试结果引出的方法;该计划还应该提供诊断以及可能将其定位于单个的位(bit)故障。在EDA方面,应能提供芯片设计中可测性设计完备性的信息,提供芯片的在片(on-chip)测试和方片(off-chip)测试辅助等信息。

重视芯核集成结构的灵活性,以保证多重芯核的并发选择;同样重要的是BIST控制器的灵活性,以便于对芯片内的逻辑电路、存储器电路和模拟电路启动并发测试。要知道,目前的一些总线结构和BIST控制器往往限定于一个完全的时序芯核测试选择机制,这就从根本上限制了并发选择和并发测试。

EDA/DFT技术应用支持芯片的功率管理和热效能评估,当多个功能模块并发测试时,这往往成为一个重要的限制因素,有可能仅仅是由于功耗的缘故限制了同时测量模块的数量。

配套测试工具(1)借助于设计规则或可测性检验器可以再设计完结之前提供该SOC设计是否满足并发测试需要。该检验器不仅可证明芯片内不同模块之间的独立性或不依赖性,而且可以说明有什么样的交互依赖性,以及如何定位、隔离,可以找出任何有依赖性的模块。(2)在一个综合解决SOC并发测试的环境中,应该有条件给出一个能产生有效芯片测试程序的工具。该工具应该是基于此前已经建立起来的各个独立模块,并且支持并发测试的程序。在这样一个程序产生后,设计师或者测试工程师将在事先即可估算测试某一模块或一小群模块需要多长时间。当然,如果遇到功耗问题,限制并发测试模块数量。(3)目前的EDA工具对层次设计的支持是受到限制的,大多数设计编译器只给出平面的设计,其中全部功能模块被组合到一个单一的模块中,这种方法对那些不大的硬IP实体进行并发测试是比较困难的。理论上,EDA支持并发测试,所以对现有EDA应用模型进行修改还是必需的。

2 SOC测试系统架构

支持并发测试的一个重要物质基础就是ATE按引脚资源的独立性。在硬件结构

上,与传统资源共享型的系统架构不同,采用各引脚具有分别独立资源、并且分别独立控制的按引脚测试处理器(test processor per pin)结构。按照定义,在这种结构的系统中,每个引脚都具有各自独立的电平发生的资源。与这种具有资源独立的硬件架构对应的就是相应软件开发。使用软件的方法使其具有并发测试能力,并将这种测试开发能力与调试能力一同集成到测试系统的操作系统软件环境中。软件环境必须包括对测试通道按端口的动态分组能力以及实现完全的测试控制能力,这其中也包括定时按端口的独立性,同时为用户提供以端口为基础的SOC功能调试环境。

参考文献

- [1] 时万春.系统芯片(SOC)测试[J].电子测量与仪器时报,2004,18:10-15.
- [2] L.T. Wang Martin Fisher. Concurrent Testing Races to Catch up with SOC's Integrated Communication Design (ICD),2001.

作者简介:王锐(1979,1—),女,本科,2002年毕业于黑龙江大学,工程师,研究方向:电子测量。