

中图分类号: TP 391.9

文献标识码: B

GPS P 码接收机本地信号发生器的 FPGA 实现

曹 进, 李荣冰, 徐 昭, 谢 非

(南京航空航天大学 导航研究中心, 江苏 南京 210016)

摘 要: P 码作为 GPS 军用伪码, 具有结构复杂、周期长且码速率快的特点, 这使得使用 P 码的软件接收机不仅定位精度高, 且具有很强的抗干扰和反欺骗能力。能够实现任意卫星的任意时刻 P 码的产生, 对于实现 P 码直接捕获和跟踪有很重要的意义。对于 P 码的产生原理和结构进行了分析, 基于 MATLAB 设计了相应的 P 码发生算法并进行简单的算法仿真。之后针对 FPGA 硬件平台对 P 码发生器进行了相应的模块设计, 包含寄存器模块、延时模块、周期控制模块和寄存器相位模块等。测试实验结果表明 P 码发生器可以基本无延迟地生成任意卫星、任意时刻的 P 码。
关键词: P 码; 长码; GPS; MATLAB; Field Programmable Gate Array (FPGA)

Implementation of Local GPS P Code Generation in GPS Receiver Based on FPGA

CAO Jin, LI Rongbing, XU Zhao, Xie fei

(Navigation Research Center of Nanjing University of Aeronautics and Astronautics, Nanjing 210016, China)

Abstract: As the military use of GPS, P code is famous for its characteristic of high precise, long period and complex structure. The software receiver based on P code is not only of high position precision, but also of high level of anti-jamming and anti-spoofing. It is of great importance for direct P code acquisition and the tracking if we can generate any bits of P Code in its period. After doing research on the mechanism and structure of P Code generation, we designed some algorithm of P code and realize it through MATLAB. Then we propose the algorithm for FPGA by modules including register module, delay module, period module and register phase module. The result shows that P Code of any time or any satellite can be generated by it without time delay.

Key words: P code; long code; GPS; MATLAB; field programmable gate array (FPGA)

1 引 言

目前, GPS 卫星信号采用两种扩频伪码序列, 分别是用于标准定位服务的 C/A 码和用于精确定位服务的 P 码、M 码。P 码通常称为长码。相比于 C/A 码, P 码的高码速率使得 P 码接收机不仅定位精度高, 且具有很强的抗干扰和反欺骗能

力^[1]。作为 GPS 接收机的军用伪码, 其结构复杂、周期长且码速率快的特点使得直接捕获极为困难。而传统的 C/A 码转 P 码的捕获方法不能满足高干扰作战环境的需要, 因此只能通过直接捕获 P 码以完成精确定位服务^[2]。

基于扩频信号的特点, GPS 接收机进行 P 码捕获与跟踪时, 都应产生相应时刻的本地 P 码与接收信号进行相关来解调卫星信号。尤其在 P

基金项目: 国家自然科学基金资助项目(60904091, 61104188)

码直接捕获阶段,本地 P 码发生器的快速性和准确性直接决定了捕获的速度。因而,快速准确地产生任意时刻任意卫星的 P 码是 GPS 接收机实现 P 码快速捕获与精确定位的重要前提^[4]。

2 P 码组成结构分析及仿真验证

2.1 P 码结构分析

P 码由四个 12 位移位寄存器 X1A, X1B, X2A 和 X2B 及周边控制逻辑共同完成^[4]。X1A 和 X1B 的输出模二和为 X1, X2A 和 X2B 的输出模二和为 X2, X1 和延迟后的 X2 再进行模二和后得到 P 码^[4]。其中 X2 的延迟时间由 PRN(Pseudo Random Noise Code) 决定,故每颗卫星都有唯一 P 码序列。

因 P 码每 1.5 s 就包含了 15 345 000 个码片^[4],若按照上述原理仅仅单通道就需要产生大量数据并保存,对于软件 and 硬件的需求较大,并且需要在每一周的开始就保持接收机为开机工作状态,很不实际,因此需要对 P 码的结构和寄存器状态进行研究以便快速产生当前所需时刻的一段 P 码,为直接捕获和跟踪提供良好的前提保障。对于 MATLAB 平台,需要知道当前时刻各个寄存器子段的相对移位状态;对于 FPGA 则要在发生 P 码之前就能够快速得到其上一时刻寄存器状态,作为移位寄存器初始状态。

2.2 MATLAB 平台的 P 码发生器实现

基于 P 码的产生机理可以发现 P 码的生成是基于 X1A 子序列为基础, X1B, X2A, X2B 三个子序列相对于 X1A 相对运动,从而产生 X1, X2 两个序列,进而通过延迟相加可得到最终的 P 码段。因此可预先生成四个寄存器的输出,分别截短保存。

根据子段生成需要,把 X1 周期中对应一次 X1A 的循环称为一个 x1_cycle,把 X2 周期中对应一次 X2A 的循环称为一个 x2_cycle。把一周开始时刻起,经历 X1 的周期数经过 1.5 s 的计数称为 z_count。若已知卫星号 PRN, z_count, x1_cycle, 然后分析任意时刻的卫星对应的 X1 与 X2 的周期数及拼接方式,进而利用这四个序列和已知参数产生本次 x1_cycle 对应时间的 X1 序列和 X2

序列,即可生成任意时刻任意卫星的 P 码序列^[4],通过对不同 z_count 产生的 X1 和 X2 序列进行对照,分析 x1_cycle 与 x2_cycle 的对应关系,可以确定两个 x2_cycle 的拼接关系。

对 P 码原理分析可知:每个 z_count 对应一个或两个含有 37 位延迟的 x1_cycle,将其记为 x1_cycle_37(可为一个值或两个相邻值),当给定的 x1_cycle 在 x1_cycle_37 前面时对应的拼接情况一致,在 x1_cycle_37 后面时对应拼接情况也一致,两种情况差 37 位。由上述分析可先求出 37 位延迟所处的 x1_cycle_37,之后将 x1_cycle 与之相比较,再对 X2 两个子段拼接。首先按式(1)和式(2)求出 num_1 和 num_2, num_1 为 z_count 对应的 X2A 的数目(float 型), num_2 为 z_count 去掉一个 37 位延迟所对应的 X2A 的数目(float 型)。

$$\text{num}_1 = \text{mod}(z_count * 1534537 + \text{PRN}, 1534500) / 4092 \quad (1)$$

$$\text{num}_2 = \text{mod}(z_count * 1534537 - 37 + \text{PRN}, 1534500) / 4092 \quad (2)$$

分析 num_1, num_2 关系,即可得到 37 位延迟的具体位置,分为四种:

(1) 37 位延迟在 x1_cycle 中间,此时 x1_cycle_37 = floor(num_1);

(2) 37 位延迟在 x1_cycle 尾部,此时 x1_cycle_37 = ceil(num_1);

(3) 37 位延迟在 x1_cycle 首部,此时 x1_cycle_37 = floor(num_1);

(4) 部分 37 位延迟在 x1_cycle 的尾部和下一 x1_cycle 的首部,此时, x1_cycle_37 = floor(num_1) 或者 x1_cycle_37 = ceil(num_1)。

根据上述思路,对应 PRN = 01, z_count = 10, x1_cycle = 1, 基于 MATLAB 平台仿真出的 P 码前 100 位如图 1 所示。

通过对 P 码组成结构的分析,本文提出了基于 X1, X2 序列相对关系的新算法,很好地解决了 P 码存储过大而不能随时生成任意段 P 码的现象,并且基于此算法最小输出单元为 4 092 位,若要生成更多的码长,只需将结果进行简单拼接。

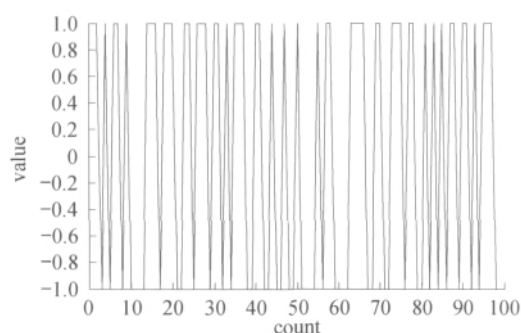


图1 拼接法生成的P码子段结果(前100位)

Fig.1 P code generated by splicing method (first 100)

3 P码发生器的FPGA实现

传统的P码发生器每次调整发生时间,都会产生较长的时间延迟,导致GPS接收机捕获所需时间延长,不能及时跟踪信号。本文设计了一种基于寄存器相位的P码发生器方法,可以很好地解决传统P码发生器的时间延迟问题。

3.1 P码的加载模型

根据P码发生器的原理,将其设置到任意时刻,需要重新加载X1A,X1B,X2A和X2B四个移位寄存器的相位,并将对应的两个3750计数器(记作X1A_Counter和X2A_Counter)和两个3749计数器(记作X1B_Counter和X2B_Counter)以及控制GPS周复位的Z_Counter计数器(记作Z_Counter)重新赋值。

为了得到移位寄存器的当前相位,需要先通过P码的码生成规则计算出四个移位寄存器的移位次数,假设移位次数分别为X1A_Shift,X1B_Shift,X2A_Shift和X2B_Shift,用来对X2历元进行37码片延时的计数器状态为X2_Counter_37,计算P码发生器各移位寄存器及计数器状态的表达式如表1所示。计算工作可以通过DSP(Digital Signal Processing)来完成,其中t为当前时刻相对于当前GPS周起始时刻的相对时间,N_X1和N_X2分别为X1和X2在一个历元内的码偏移数。

由上述表格可以得到所有计数器的当前状态和四个移位寄存器的移位次数,由于无法计算出当前X1和X2寄存器的相位,因此,需设计

一种可以得到当前时刻各寄存器的相位的模块,才能对所有计数器和移位寄存器进行加载得到所需时刻的P码。

表1 X1与X2移位寄存器物理量计算

Tab.1 Value calculation of Shift register X1 and X2

物理量	计算公式
N_X1	$N \% 15345000$
X1A_Shift	$N_X1 \% 4092$
X1A_Counter	$(\text{int}) N_X1 / 4092$
X1B_Shift	$\begin{cases} N_X1 \% 4093 & N_X1 / 4093 < 3749 \\ 0 & N_X1 / 4093 \geq 3749 \end{cases}$
X1B_Counter	$(\text{int}) N_X1 / 4093$
N_X2	$N \% 15345037$
X2A_Shift	$\begin{cases} N_X2 \% 4092 & N_X2 / 4092 < 3750 \\ 0 & N_X2 / 4092 \geq 3750 \end{cases}$
X2A_Counter	$(\text{int}) N_X2 / 4092$
X2B_Shift	$\begin{cases} N_X2 \% 4093 & N_X2 / 4093 < 3749 \\ 0 & N_X2 / 4093 \geq 3749 \end{cases}$
X2B_Counter	$(\text{int}) N_X2 / 4093$
X2_Counter_37	$\begin{cases} N_X2 - 15345000 & N_X2 > 15345000 \\ 0 & N_X2 \leq 15345000 \end{cases}$
Z_Counter	$(\text{int}) N / 15345000$

3.2 P码发生器的硬件实现

P码发生器的硬件结构框图,如图2所示:

3.2.1 寄存器模块

X1A,X1B,X2A和X2B四个寄存器模块,主要完成各寄存器对应的码的生成,最后对生成的四路码进行异或,最终得到P码。

3.2.2 周期计数控制模块

根据表1所示公式,求出X1A,X1B,X2A和X2B四个移位寄存器当前时刻所对应的相位移动次数(如:X1A_Shift)和循环周期数(如:X1A_Counter)。

由于N_X1和N_X2的数值都小于15 435 037,所示被除数可以选用24位的二进制来表示,可以采用FPGA自身所带的除法器IP(Intellectual Property core)内核来设计。由于X1A,X1B,X2A和X2B四个移位寄存器的位数为12位,且除数的值为4 092或4 093,因此除数、相位移动次数(如:X1A_Shift)和循环周期数(如:X1A_Counter)都采用12位的二进制表示。

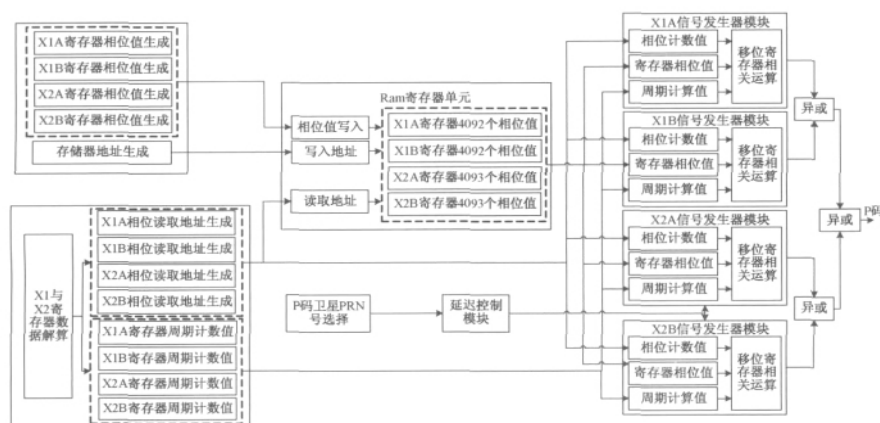


图2 P码发生器硬件实现结构图

Fig.2 Hardware structure of P code generator

通过设计数据长度转换器模块与比较器模块,将除法器所得到的商和余数进行处理得到所需的相位移动次数和循环周期数。

3.2.3 延时模块

用来区分不同的卫星信号,P码通过对X2寄存器生成的码延时不同码片数,再与X1寄存器产生码进行异或来关系到不同的P码序列,延时的时间从0到37,可以分配给38颗不同的卫星,GPS导航星座由32颗卫星组成,完全能满足需求。

3.2.4 相位寄存器模块

要得到任意时刻P码,不仅需要知道此时P码各寄存器的相位移动次数与周期数,更需要知道当前时刻X1A,X1B,X2A和X2B四个寄存器内的相位值(X1A_Phase),通过使用本地存储器,存储一周期内所有时刻的相位值,利用计算所得到的相位移动次数作为读取地址,快速实现四个寄存器相位的加载。

利用存储器用于存储X1A,X1B,X2A和X2B寄存器的相位值,只需要占用较少本地存储资源($12 \times 4093 \times 4/8\text{Bit}$),目前大多数的FPGA芯片都能提供大容量的本地存储资源。

基于上述设计方案,考虑在不影响P码捕获的前提下,利用GPS接收机冷启动期间,信息初始化过程中,先用 $t(4093/10260000, \text{单位 s})$ 的时间来生成当前寄存器相位值,并将其按顺序存储在本地的存储器中。在GPS接收机捕获与跟踪

过程中能很好地控制本地P码的发生,可以很好地产生任意时刻的P码,不需要经过时间延迟,可以保证本地产生P码为当前时刻的P码,有利于GPS接收机更好地完成P码捕获与跟踪。

3.3 算法仿真实现结果

本方案设计的任意时刻P码发生器,只需通过读取GPS接收机的本地时钟信息,即可快速实现当前时刻本地P码的产生。假设当前接收机时间信息为(周二 11:11:11—15),开始P码发生器模块进行仿真,那么可通过计算相对于GPS周起始的相对时间 t 及产生的码元总数 N 为:

$$\begin{aligned}
 t &= 2 * 24 * 60 * 60 + 11 * 60 * 60 + \\
 &\quad 11 * 60 + 11 + 15/60 = 213\,071.25\text{ s} \\
 N &= 213\,071.25 * 10.23 * 10^6 = \\
 &\quad 2\,179\,718\,887\,500 \\
 N_X1 &= N \% 15\,435\,000 = 80\,797\,500 \\
 N_X2 &= N \% 15\,435\,037 = 2\,842\,902
 \end{aligned}$$

可以得到如图3所示的仿真图形,通过对仿真图形进行对比分析,可知其结果与理论值一样。本方案还对其他时刻进行了算法验证,结果与ICD-200C中提供的资料进行对照完全吻合,表明此任意P码发生器模块正确。可以用此模块进行本地任意时刻P码的产生。

4 结 论

本文采用了两种平台分别对P码的产生进行

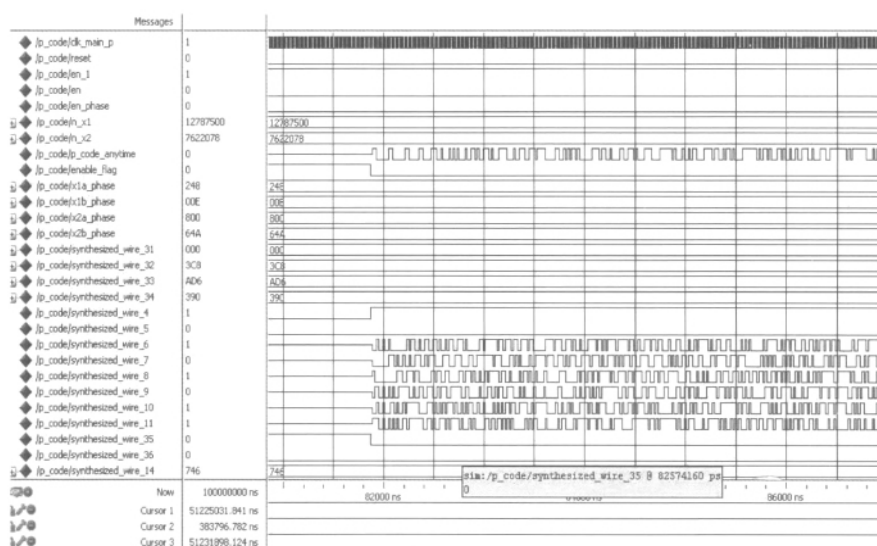


图3 任意时刻P码发生器仿真图

Fig.3 Result of P code generator at a given time

了算法研究和实现。基于 MATLAB 平台的算法通过对子段对应方式的研究,在算法层面上解决了 P 码计算量大的问题,可以基本无延迟地产生最小长度为 4092 码片的 P 码子段。基于 FPGA 平台的算法通过利用存储的读写功能很好地解决了传统 P 码发生器较长时间延迟、计算量复杂以及占用资源较多等问题,很好地实现了无延迟地指定卫星所对应的任意时刻 P 码的产生,为 P 码直接捕获和跟踪环路中的本地码生成提供了极为重要的条件。

参考文献:

- [1] 谢钢. GPS 原理与接收机设计 [M]. 北京: 电子工业出版社, 2009.
XIE Gang. Principles of GPS and receiver design [M]. Beijing: Publishing House of Electronics Industry, 2009.
- [2] Psiaki Mark L, O' Hanlon Brady W. Civilian GPS spoofing detection based on dual-receiver correlation of military signals [C] // ION GNSS, 2011. [s. l.]: University of Texas at Austin, 2011.
- [3] 秦勇, 张邦宁, 郭道省, 等. 低信噪比高动态条件下 P 码直接捕获技术研究 [J]. 宇航学报, 2009, 30(2): 760-764.
QIN Yong, ZHANG Bangning, GUO Daosheng, et al. Research of p-code direct acquisition technology at low signal-to-noise rate in high dynamic condition [J]. Journal of Astronautics, 2009, 30(2): 760-764.
- [4] 吴华兵, 胡永辉, 何在民, 等. 基于 FPGA 的高动态 P 码直捕算法设计与实现 [J]. 全球定位系统, 2010, 35(6): 7-11.
WU Huabing, HU Yonghui, HE Zaimin, et al. Design and implementation of high dynamic P code direct acquisition based on FPGA [J]. GNSS World of CHINA, 2010, 35(6): 7-11.
- [5] Vandana Patel, Pankaj Shukla. Faster methods for GPS signal acquisition in frequency domain [R]. [s. l.]: IEEE, 2011.
- [6] PANG J. Direct global positioning system P code acquisition field programmable gate array prototyping [D]. Ohio: Ohio University, 2003.
- [7] 冯永新, 高瑜, 潘成胜. GPS P 码的软件生成算法 [J]. 火力与指挥控制, 2008, 33(10): 35-37.
FENG Yongxin, GAO Yu, PAN Chengsheng. Software algorithm for GPS P code generation [J]. Fire Control & Command Control, 2008, 33(10): 35-37.



曹进男 (1987 -), 湖南益阳人, 硕士生, 主要研究方向为卫星导航系统。科研情况: 航空基金项目及组合导航横向合作。



李荣冰 男 (1977 -), 山东潍坊人, 副教授, 主要研究方向为 MEMS 微惯性系统; 卫星导航系统; 惯性导航与组合导航; 大气数据系统。