

一种表面压力数据记录器的设计与实现

李士照,文 丰,姚 宗

(中北大学 仪器科学与动态测试教育部重点实验室,太原 030051)

摘要:介绍了一种基于FPGA的多路差分信号数据记录器。表面压力传感器输出的差分信号经仪表放大器AD623放大后经ADC转换成数字信号。由FPGA作为主控制器并最终将数据存储在FLASH芯片中。该数据记录器分多个记录区,可连续多次试验。记录器采用锂电池供电,功耗低,可靠性高。

关键词:FPGA;FLASH存储器;差分信号;AD623;电池系统

中图分类号:TH702 **文献标志码:**B

Design and Implementation of Surface Pressure Data Recorder

LI Shi-zhao, WEN Feng, YAO Zong

(Key Laboratory of Instrumentation Science and Dynamic Measurement, Ministry of Education, North University of China, Taiyuan 030051, China)

Abstract: An FPGA-based multi-channel difference signal data recorder was introduced. The difference signal that the surface pressure sensor outputs was amplified by the instrumentation amplifier AD623 and then converted into a digital signal by ADC. The FPGA as the main controller records the data into FLASH chip. The recorder was divided into multi sections in order to collect data more times in succession. The recorder was powered by lithium batteries, low cost and high reliability.

Key words: FPGA; FLASH recorder; difference signal; AD623; battery-powered system

20世纪90年代初,各航天大国开始研制固态数据记录器SSR(solid state recorder)^[1]。近年来,现场可编程门阵列FPGA具有高集成度、高效率、设计灵活以及功耗低等特点,被广泛应用到数据采集记录系统中^[2]。根据课题的要求,设计了一种基于FPGA的、用于采集存储某物体水池自由航行试验中的、表面液体压力参数的数据记录器。考虑到使用环境的特殊性,将FLASH存储单元划分为16个独立的区域,以使记录器可连续进行16次采集存储试验,并使试验得到的数据依次存储到已经定义好的16个

区内,各个区内的原始数据可通过上位机按区号选择读出。

1 硬件电路设计

记录器由外部启动触点启动上电,由LM334给外部8路表压传感器提供恒流源激励。传感器输入的差分信号先经过仪表放大器AD623调理后,送入8选1模拟开关ADG706选通输出,再通过跟随、分压、跟随电路调理后送入AD7667模数转换,转换后的数字量由FPGA控制编帧并存入FLASH芯片中。

收稿日期:2012-08-28;修订日期:2012-11-15

作者简介:李士照(1986—),男,在读硕士研究生,研究方向为电路与系统;文丰(1977—),男,在读博士,副教授,研究方向为动态测试技术与智能仪器;姚宗(1983—),男,硕士,研究方向为高速数据采集等。

当接收到时统触点信号后,采编帧计数清零,并且时统信号具有自保持功能。记录器总体框图如图1所示。

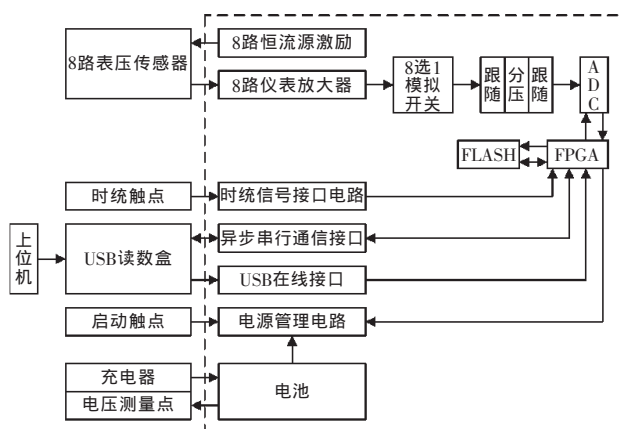


图1 记录器总体框图

Fig.1 Structure diagram of the recorder

1.1 压力传感器恒流源激励电路设计

本设计选用国家半导体公司生产的三端可调恒流源 LM334 为压力传感器提供 1.5 mA 的恒流激励源。该器件在工作电流内恒流源可调范围比为 1000:1,并且具有 (1~40)V 的动态电压范围,恒流特性非常好^[3]。由于 LM334 为正温度系数(约+0.23 mV/°C)器件,可利用正向偏压为负温度系数(约为-2.5 mV/°C)二极管 IN457 作为温度补偿。如图2所示,当 $R4/R3=10$ 时,LM334 的温度系数近似为零。

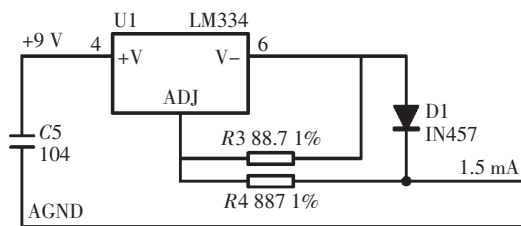


图2 恒流源激励电路

Fig.2 Constant current source of driving circuit

根据 $I_{set}=1.5\text{ mA}=0.134\text{ V}/R3$, 得出 $R3=88.7\ \Omega$ 时构成 1.5 mA 恒流源。为了降低温漂大小,电阻 $R3$ 、 $R4$ 应该选用低温度系数电阻。考虑到传感器最大输出阻抗为 4 k Ω ,产生的共模电压达 6 V,根据 LM334 最小供电电压差 2.5 V 的要求,此处采用+9 V 电源作为 LM334 的供电输入。

1.2 差分信号放大电路及 AD 转换电路设计

AD623 是一个集成单电源仪表放大器,如图3所示。AD623 能在单电源(+3 V~+12 V)下提供满电

源幅度的输出,允许使用单个增益设置电阻进行增益编程,以得到良好的用户灵活性。低功耗(3 V 时 1.5 mW)、宽电源电压范围、满电源幅度输出,使 AD623 成为电池供电系统的理想选择^[4]。

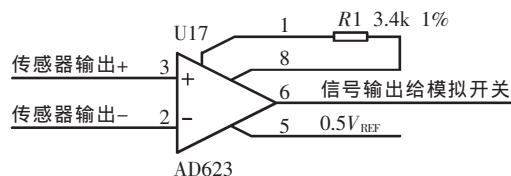


图3 AD623 放大电路

Fig.3 Amplifying circuit with AD623

记录器选用的 8 路表压传感器内部为惠斯通电桥结构,输出为差分信号,输入输出阻抗典型值为 3.5 k Ω ,最大值为 4 k Ω 。传感器真空下的零位输出为 $\pm 10\text{ mV}$,满量程输出为 $120\text{ mV}\pm 25\text{ mV}$ 。得出传感器的信号输出范围 $-10\text{ mV}\sim +145\text{ mV}$,要将其调理到 0~5 V 送给采集电路,设计放大倍数为 30.4 倍,可得信号输出范围为 $-0.304\text{ V}\sim +4.408\text{ V}$,参考电压 V_{ref} 设为 +0.5 V,则最终信号调理输出范围为 $+0.196\text{ V}\sim +4.908\text{ V}$ 。同时,考虑到 AD623 的电压输入范围为 $(U_s-1.5\text{ V})$,此处也采用+9 V 供电。为了保持增益的高稳定性,避免高的增益漂移,应选择低温度系数的电阻。去耦电容最好选用 0.1 μF 的瓷片电容和 10 μF 的钽电解电容,并在 PCB 布板时将去耦电容靠近+9 V 管脚放置以达到更好的去耦效果^[5]。

由于所采信号为缓变信号,因此采用多级模拟开关和单 AD 配合来对信号进行采样。这样既节省了 AD 数量也缩小了 PCB 板面积。最终采用的 8 通道 AD 转换电路如图4所示。8 路信号经 8 选 1 模拟开关 ADG706 选通输出的 $+0.196\text{ V}\sim +4.908\text{ V}$ 信号经过运放跟随后分压到 0.98 V~2.45 V,再经电压跟随到 AD7667 的模拟输入端。上述过程模拟开关进行通道选择和 AD 转换由 FPGA 逻辑控制并最终把采集到的数据按帧结构编帧后进行打包存储到 FLASH 芯片中。

1.3 启动、时统信号接口电路设计

启动、时统信号均为无源触点,启动触点要求闭合(不小于 2 s)后系统上电,并具有自保持功能,启动信号接口电路如图5所示。

选用的电源芯片为低噪声线性调节电源 TPS7A4901,输出电流为 100 mA 时压差为 260 mV,为低压差电源芯片。最大输出电流为 150 mA^[3],满足

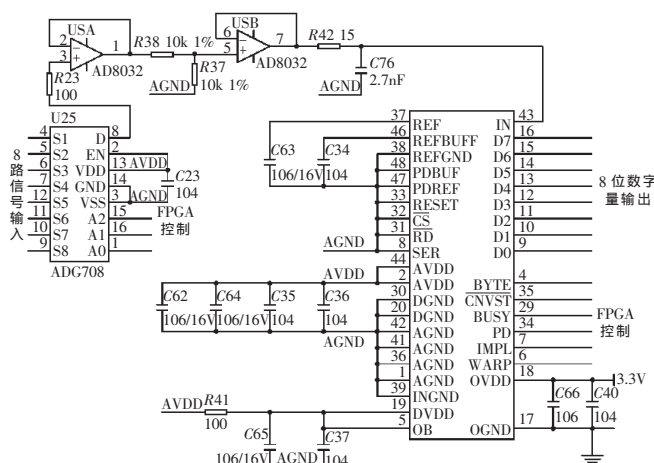


图4 8通道AD转换电路

Fig.4 AD conversion circuit with 8 channels

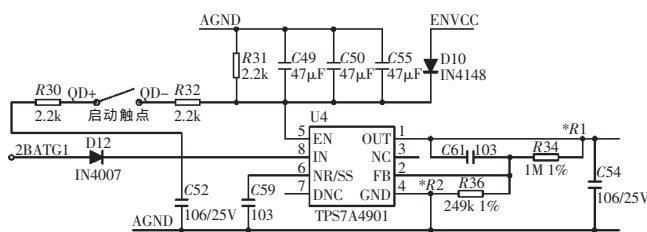


图5 启动信号接口电路

Fig.5 Interface circuit of starting signal

系统要求。网标 2BATG1 为锂电池组(2 块锂电池串联)的正端,当启动触点闭合,电池电源对电容充电以建立电压,当电压达到电源芯片使能端有效阈值 2.4 V 时,电源芯片输出工作电源,系统上电,同时内部控制器 FPGA 产生有效使能信号 ENVCC 完成供电自保持。

为了使启动触点置于水中时不会导致记录器误启动,即启动触点之间的阻抗为试验水池中水的阻抗时 TPS7A4901 的使能端 EN 处的电压要低于阈值电压 2.4 V。用万用表测出水的阻抗,再根据分压原理,R30R31R32 的阻值设计为 2.2 k Ω 经分压后不会导致记录器误启动。

时统信号接口电路采用隔离光耦来实现,电路组成原理如图 6 所示。当 ST-与 ST+处于断开状态时,HCPL0631 的 1 管脚为低电平,内部发光二极管及光敏三极管均不导通,此时控制器 FPGA 接收到无效的高电平。当 ST-与 ST+闭合时,HCPL0631 的 1 管脚为高电平,点亮 HCPL0631 内部的发光二极管,HCPL0631 内部光敏三极管导通,此时控制器 FPGA 接收到低电平有效的时统信号。

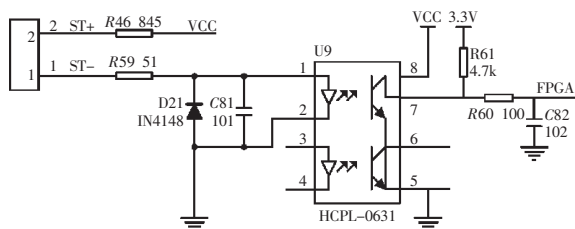


图6 时统信号接口电路

Fig.6 Interface circuit of timing signal

1.4 FPGA 及 FLASH 模块

由于记录器安装空间的限制,决定了 PCB 板的尺寸要小。现场可编程门阵列 FPGA 具有高集成度、丰富的输入输出管脚和宏单元等特点,所以本系统选用 FPGA 作为中心逻辑控制器。经查阅,XILINX 公司的 XC2S30 具有封装小(VQ100 封装)、功耗低的特点,是本系统的理想选择。

根据记录器帧格式与采样率可计算出记录器一次上电记录数据量为 3.1 MBytes。所以设计每区 4 MBytes,16 个区域共 64 Mbytes 的容量。为保证冗余设计,该存储芯片选用三星公司的 K9KAG08U0M,存储容量为 2 GByte^[6]。

2 记录器逻辑设计

2.1 采样数据帧结构设计

8 路表压信号的采样率均为 5 Ksps,设计采样帧格式如表 1 所示。

表1 采样数据帧结构

Tab.1 Frame structure of sample datas

BY1	BY2	BY3	BY4	BY5	BY6	BY7	BY8	idh	idm	idl	EB	90
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----	----

共 8 路采样通道,各个通道采样率及帧采样率均为 5Ksps,每个通道为 16 位,在最后一个通道采样后添加 5 字节帧计数勤务信号 idh、idm、idl、EB、90,勤务信号不占据采样时间。通道名 BY1~BY8 为 8 路表面压力信号。

2.2 记录器控制信号逻辑设计

记录器控制信号包括:USB 在线指令(ONLINE)、系统复位指令(RST)、数据下传读请求(REQ)、数据擦除指令(ERASE),其逻辑关系如表 2 所示。由于 USB 在线指令是通过硬件高低电平实现的,因此用“1”表示 USB 未连接、不在线,用“0”表示 USB 已连接、在线。其余指令是上位机下发的串行控制指令,表中用有效、无效来表示指令是否下发。(下转第 60 页)

参考文献:

- [1] 王璐.全自动剥线机的设计与研究[D].山东:山东科技大学,2006.
- [2] 刘建,罗晓曙,陈赤,等.PLC 在自动剥线机中的应用[J].现代电子技术,2008,31(3):128-130.
- [3] 刘国立,王一丁.基于 C8051F340 的 EEG 信号采集系统的设计[J].自动化与仪表,2008,23(9):44-47.
- [4] 朱贵宪.基于单片机的数控稳压电源设计[J].自动化与仪表,2011,26(6):50-53.
- [5] 花同.步进电机控制系统设计[J].电子设计工程,2011,19(15):13-15.
- [6] 兰建武,周凤星,郭航宇,等.基于步进电机的工程车倾动装置模糊控制系统[J].自动化与仪表,2011,26(10):23-26.
- [7] 王宜杰.步进电机自动加减速运行的研究[J].自动化与仪表,2004,19(2):52-54.
- [8] 李大成,高金吉.基于可编程控制器的转速测量及步进电机升降速控制研究[J].北京化工大学学报,2011,38(4):119-123.

(上接第 12 页)

表 2 记录器控制信号逻辑关系表

Tab.2 Logic relation of control signals of the recorder

状态	USB 在线 (USB_ONLINE)	系统 复位 (RST)	数据下传 读请求 (REQ)	数据擦除 (ERASE)	说明
采集	1	-	-	-	采编存储状态
		有效	-	-	系统复位,暂停 读数状态
读数	0		有效	无效	记录器读数状态
		无效	无效	有效	数据擦除状态
			无效	无效	暂停读数状态

2.3 记录器工作时序设计

记录器具体工作时序过程如图 7 所示。

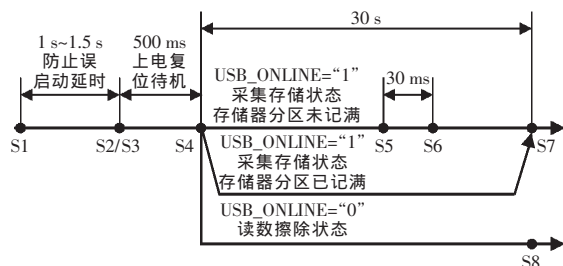


图 7 记录器工作时序图

Fig.7 Timing sequence of the recorder

阶段时刻标记 S1~S8 详细内容如下:

S1:启动触点闭合;

S2:存储器上电复位待机;

S3:记录器通过 USB 接口与上位机连接,由外部 USB 电源供电,并进入上电复位待机状态;

S4:判断 USB 在线指令 USB_ONLINE,若 USB 不在线即 USB_ONLINE="1",则控制器 FPGA 下发供电自保持指令有效 ENVCC="1",此时系统由锂电池组供电工作,同时启动记录器进入采编存储状态。在该状态下,先按顺序从前向后依次判断 FLASH 存储器 16 个分区是否记满。若有空区域,则将本次上电采编数据存入该空着的存储分区中,并启动 30s 采编存储计时器计时;若判断到 16 个存储

分区均已记满,则直接跳入 S7,系统掉电。

若 USB 在线指令 USB_ONLINE="0",则控制器下发供电自保持指令无效 ENVCC="0",此时系统由上位机 USB 电源供电工作,不再消耗锂电池组的电量。记录器进入暂停读数的待机状态,此时可由上位机软件控制进行存储器分区读数与擦除操作。

S5:接收到时统信号;

S6:时统信号经过 30ms 消抖判断有效时,采编帧计数清零;

S7:停止采集,控制器下发供电自保持无效指令 ENVCC="0",系统掉电。

S8:上位机操作完毕,USB 电源断开后,记录器掉电。

3 结语

由于记录器采集的是差分信号,故不能用常规的信号源对记录器进行测试。通过搭建惠斯通电桥为 AD623 提供差分信号源后,经试验测试表明该记录器误差在 5‰ 以内,并且在一次满电后可连续进行上百次采集擦除试验,功耗低,可靠性高。该记录器现已在某水下试验中成功应用。

参考文献:

- [1] 张胜勇,高世杰,吴志勇,等.基于 FPGA 的 NAND Flash 坏块处理方法[J].计算机工程,2010,36(6):239-240.
- [2] 李鹏,马游春,李锦明.基于 FPGA 的多路数据采集模块硬件设计[J].仪表技术与传感器,2010(3):80-83.
- [3] 陈颐荣.LM334 的特殊应用[J].仪表技术与传感器,2006(12):28-59.
- [4] 张君,赵杰.仪表放大器 AD623 的性能与应用[J].仪表技术,2002,26(5):45-46.
- [5] 王建新,任勇峰,焦新泉.仪表放大器 AD623 在数采系统中的应用[J].微计算机信息,2007,23(7):169-170.
- [6] Samsung Electronics K9XXG08XXM Data Sheet[Z].http://www.samsung.com,2006.