

基于 FPGA 的 E3 误码仪的设计与应用

胡辽林, 刘雪峰

(西安理工大学 机械与精密仪器工程学院, 西安 710048)

摘要: 设计了基于 FPGA 的 E3 速率等级的误码仪(E3-BER), 由伪随机码产生模块、两路信号比较模块、计数模块和显示模块 4 部分构成, 分别用 E3-BER 和 SDH 分析仪(ANT-5)测试了基于 FPGA 的 SDH E3 复用/解复用系统, 在相同的测量时间内(1 星期), 误码均为 0。测试结果间接验证了设计的正确性。

关键词: 现场可编程门阵列; 同步数字系列; E3; 误码仪

中图分类号: TN914.3 文献标识码: A 文章编号: 1002-5561(2013)01-051-02

Design and application of E3 bit error rate tester based on FPGA

HU Liao-lin, LIU Xue-feng

(School of Mechanical and Precision Instrument Engineering,
Xi'an University of Technology, Xi'an 710048, China)

Abstract: A bit error rate tester of E3 (E3-BER) is designed. It consists of four parts: pseudorandom code generation module, signal comparison module, counter module and display module. We use E3-BER and SDH analyzer (ANT-5) to test SDH E3 multiplexing/demultiplexing system based on FPGA. Both measurement time is one week and bit error is 0. All results show that our designs are correct.

Key words: field programmable gate array(FPGA); synchronous digital hierarchy(SDH); E3; bit error rate tester

0 引言

同步数字系列(SDH)已经成为通信网中重要的基础设施。误码仪是通信系统中性能测试和故障诊断的必要设备,其结构复杂,价格昂贵。基于 FPGA 的误码仪,采用 FPGA 来完成控制和测试模块的一体化设计,不仅可以提高系统的功能扩展性和集成度,减少硬件和软件设计的复杂度,还可以缩短系统开发周期,升级容易^[1-3]。基于 FPGA 设计的 E3(34.368Mb/s)误码仪 E3-BER,即能用于 SDH 的 E3 测试,也能用于 PDH 的 E3 测试。

1 误码仪总体设计

E3-BER 总体框图如图 1 所示,主要由 4 大模块构成:伪随机码产生模块、两路信号比较模块、计数器模块和显示模块。

在 E3-BER 内部,通过 FPGA 设置移位寄存器得

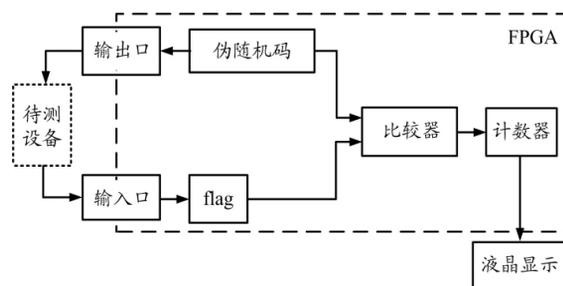


图 1 误码仪原理框图

到的 8 位伪随机信号,一路直接进入比较器,另一路经待测设备后再进入比较器,将比较器输出的结果送入计数器,记录误码个数,最终送入显示模块显示。设计的难点是信号的同步问题,有两种方法可以解决:设计更为细分的电路,将细分电路产生的信号作为基准进行信号的同步,这样引入的同步误差为信号的细分误差;本文使用的方法,经待测设备的信号在信号处理完毕时设置标志信号(flag),另一路标准信号处于延时等待时检测来自另一条线路的标志信号,一经检出标志信号,两路信号将同时进入后续的处理电路中,这样就实现了同步。

收稿日期:2012-11-19。

基金项目:陕西省教育厅科学研究计划(2010JK716)资助。

作者简介:胡辽林(1968-),男,副教授,博士,主要研究方向为光纤通信。

胡辽林,刘雪峰:基于 FPGA 的 E3 误码仪的设计与应用

2 误码仪的 FPGA 实现

通过 Verilog HDL 编写程序代码,利用模块化的设计方法,在 Quartus 11.0 开发软件上,完成布局布线及时序仿真,并利用 ALTERA 公司 Cyclone 系列的 FPGA 芯片 EP4CE115F29C7N 进行验证与实现。输入端口有两列数据输入,一列视为标准信号,另一列为待测信号。两列信号经过 8 位无符号的整形比较器,判定出不同码的个数,将计数器的值分为个位、十位和百位 3 个数据,送入数码管的段选和位选端口。利用人眼视觉的暂留效应,将 3 个数位上的值同时显示在数码管上,整个误码仪的仿真波形图如图 2 所示。

3 误码仪的自检

完成 E3-BER 误码仪的设计后,利用两列相同的信号输入到误码仪的两端口,看检测结果是否为 0,即自检。首先将开发板上的 50MHz 晶振频率利用锁相环 PLL 变换为 34.368MHz,产生一列 8 位的伪随机码信号。由于锁相环的复位信号与逻辑电路的复位信号恰好相反,所以设置非门信号,将锁相环输出的复位信号进行反转后,进入后续的逻辑电路处理。误码仪自检的波形图如图 3 所示,由图 3 可以看出,在整个误码仪自检过程中输出的段选值一直为 0,说明误码仪的设计符合要求。

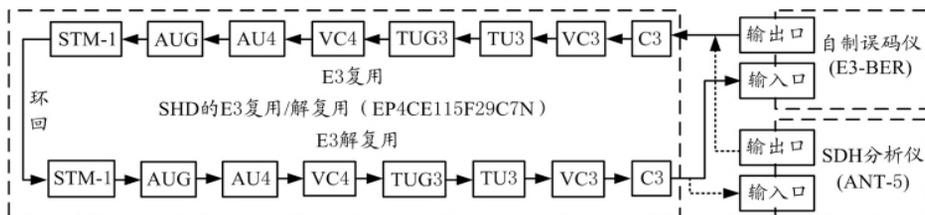


图 4 用误码仪测试 SDH 复用/解复用系统的框图

4 误码仪的应用

用 E3-BER 测试我们设计的基于 FPGA 的 SDH E3 复用/解复用系统,与 Acterna 的 SDH 分析仪 (ANT-5)测试的结果进行比较,以验证自制误码仪设计的正确性,测试框图如图 4 所示。图 4 的左边是基于 FPGA 的 SDH E3 复用/解复用系统。首先对 E3 信号速率等级 (34.368Mb/s) 的信号进行封装处理,经码速调整后,信号异步装入容器 (C3) 中,加入一列低阶通道开销,进入虚容器 (VC3),完成映射部分;接着载入支路单元指针 TU-3 PTR,对映射过程中的信号进行指示定位,加上固定塞入字节构成支路单元组 (TUG3),完成定位部分设计;最后,将 3 个支路单元组加入高阶通道开销字节,构成高阶虚容器 (VC4),VC4 利用高阶管理指针进行相位调整,实现同步,再加上各种段开销字节完成 SDH 的帧结构,在 STM-1 中进行传输。图 4 的右边是 E3-BER 和 ANT-5,在相同的测量时间内 (1 星期),E3-BER 的显示结果为“0”误码,ANT-5 显示“OK”。

5 结束语

本文设计了基于 FPGA 的 E3 速率等级误码仪 (E3-BER),用它测试基于 FPGA 的 SDH E3 复用/解复用系统,测试结果正确。用 FPGA 来设计,不仅提高了系统的功能扩展性和集成度,还可缩短开发周期。本设计仅为原理验证,形成产品还需完成很多工作。

参考文献:

- [1] 周志勇,张柳煜,高繁荣,等.10Gb/s 误码仪的设计与研制[J].光通信技术,2011,35(2):22-24.
- [2] 潘勇,袁慧梅,侯长宏.基于 FPGA 的误码仪 IP 核的设计与实现[J].仪表技术与传感器,2009,(3):27-29.
- [3] 王骥,王青萍.一种基于 FPGA 的高速误码测试仪的设计[J].电子设计工程,2011,19(9):129-133.

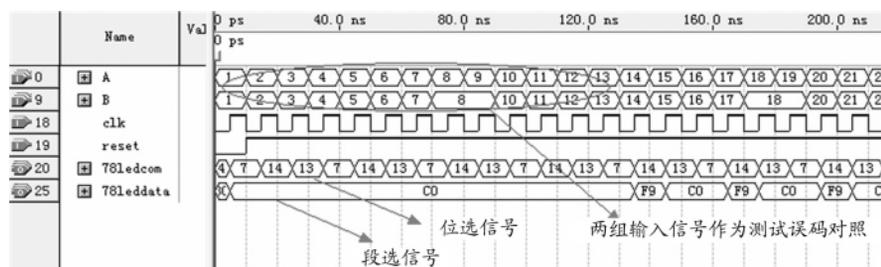


图 2 误码仪仿真波形图

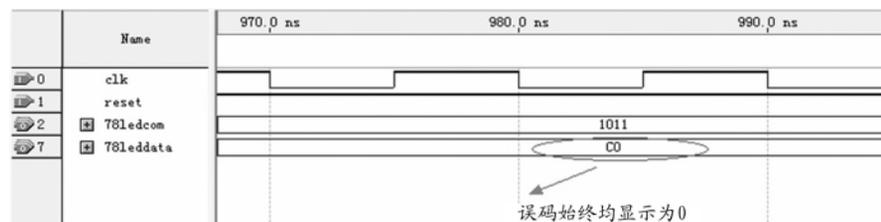


图 3 误码仪自检波形图